

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 7月 7日

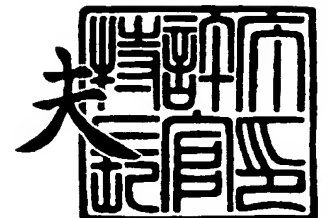
出願番号
Application Number: 特願2003-193015
[ST. 10/C]: [JP 2003-193015]

出願人
Applicant(s): 三菱電機株式会社

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3001498

【書類名】 特許願

【整理番号】 544415JP02

【提出日】 平成15年 7月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 飛田 洋一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 82580

【出願日】 平成15年 3月25日

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0209961

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 オフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置

【特許請求の範囲】

【請求項 1】 入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、

初段の一方電極が前記駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第 1～第 N（ただし、N は 2 以上の整数である）のキャパシタ、

前記入力電位を前記駆動回路の入力ノードに与えるとともに、前記第 1 のキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 のキャパシタを前記オフセット電圧に充電させる第 1 の切換回路、

前記第 2～第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に前記入力電位を与えると同時に、選択したキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1～第 N のキャパシタを前記オフセット電圧に充電させる第 2 の切換回路、および

前記第 N のキャパシタの他方電極に前記入力電位を与える第 3 の切換回路を備える、オフセット補償回路。

【請求項 2】 入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、

初段の一方電極が前記駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第 1～第 N（ただし、N は 2 以上の整数である）のキャパシタ、

基準電位を前記駆動回路の入力ノードに与えるとともに、前記第 1 のキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1 のキャパシタを前記オフセット電圧に充電させる第 1 の切換回路、

前記第 2～第 N のキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に前記入力電位を与えると同時に、選択したキャパシタの他方電極を前記駆動回路の出力ノードに接続し、前記第 1～第 N のキャパシタを前記オフセ

ット電圧に充電させる第2の切換回路、および

前記第Nのキャパシタの他方電極に前記入力電位を与える第3の切換回路を備える、オフセット補償回路。

【請求項3】 前記第2の切換回路は、前記第1～第Nのキャパシタの他方電極をとともに前記駆動回路の出力ノードに接続して前記第2～第Nのキャパシタの各々の端子間電圧を0Vにリセットした後、前記第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極を前記駆動回路の出力ノードから切離すとともに、選択したキャパシタの一方電極に前記入力電位を与える、前記第1～第Nのキャパシタを前記オフセット電圧に充電させる、請求項1または請求項2に記載のオフセット補償回路。

【請求項4】 入力電位に応じた電位を出力する駆動回路と、
前記駆動回路のオフセット電圧を補償する請求項1から請求項3のいずれかに記載のオフセット補償回路とを備える、オフセット補償機能付駆動回路。

【請求項5】 前記駆動回路は、
そのドレインが第1の電源電位を受け、そのソースが前記出力ノードに接続され、そのゲートが前記入力ノードに接続された第1の導電形式の第1のトランジスタ、および

前記出力ノードと第2の電源電位のラインとの間に接続された第1の定電流源を含む、請求項4に記載のオフセット補償機能付駆動回路。

【請求項6】 前記駆動回路は、さらに、前記入力ノードと前記第1のトランジスタのゲートとの間に設けられ、前記入力電位を予め定められた第1の電圧だけ前記第1の電源電位側にレベルシフトさせた電位を前記第1のトランジスタのゲートに与えるレベルシフト回路を含み、

前記レベルシフト回路は、

第3の電源電位のラインと前記第1のトランジスタのゲートとの間に接続された第2の定電流源、および

そのソースが前記第1のトランジスタのゲートに接続され、そのドレインが第4の電源電位のラインに接続され、そのゲートが前記入力電位を受ける第2の導電形式の第2のトランジスタを含む、請求項5に記載のオフセット補償機能付駆

動回路。

【請求項 7】 前記駆動回路は、さらに、前記第 1 のトランジスタのソースと前記出力ノードとの間に介挿され、そのゲートが前記出力ノードに接続された第 2 の導電形式の第 3 のトランジスタを含み、

前記レベルシフト回路は、さらに、前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのソースとの間に介挿され、そのゲートが前記第 1 のトランジスタのゲートに接続された第 1 の導電形式の第 4 のトランジスタを含む、請求項 6 に記載のオフセット補償機能付駆動回路。

【請求項 8】 前記駆動回路は、

第 1 の電源電位のラインと前記出力ノードとの間に接続されたトランジスタ、前記出力ノードと第 2 の電源電位のラインとの間に接続された定電流源、および

前記出力ノードの電位が前記入力電位の電位に一致するように前記トランジスタのゲート電位を制御する差動増幅回路を含む、請求項 4 に記載のオフセット補償機能付駆動回路。

【請求項 9】 請求項 4 から請求項 8 のいずれかに記載のオフセット補償機能付駆動回路と、

前記オフセット補償機能付駆動回路の出力電位に応じてその光透過率が変化する液晶セルとを備える、液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置に関し、特に、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置に関する。

【0002】

【従来の技術】

従来より、駆動回路のオフセット電圧をキャンセルするオフセット補償回路が

提案されている。このオフセット補償回路では、キャパシタをオフセット電圧に充電し、そのキャパシタを駆動回路の入力ノードに接続することによってオフセット電圧を補償する（たとえば特許文献1参照）。

【0003】

【特許文献1】

特開 2000-114889号公報

【0004】

【発明が解決しようとする課題】

しかし、従来のオフセット補償回路では、駆動回路の入力ノードの寄生容量の影響によりキャパシタの電圧が損失され、オフセット電圧を正確にキャンセルすることができないという問題があった。

【0005】

キャパシタの容量値を寄生容量よりも十分に大きくすれば損失電圧を小さくすることができるが、そのためにはキャパシタの面積を大きくする必要があり、オフセット補償回路の占有面積が増大してしまう。オフセット補償回路を液晶表示装置のデータ線駆動回路に用いる場合、多数のオフセット補償回路が必要になるので、特に問題が大きくなる。

【0006】

それゆえに、この発明の主たる目的は、オフセット電圧を正確にキャンセルすることが可能なオフセット補償回路と、それを用いたオフセット補償機能付駆動回路および液晶表示装置を提供することである。

【0007】

【課題を解決するための手段】

この発明に係るオフセット補償回路は、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第N（ただし、Nは2以上の整数である）のキャパシタと、入力電位を駆動回路の入力ノードに与えるとともに、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタを前記オフセット電圧に充電させ

る第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えると同時に、選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路を備えたものである。

【0008】

また、この発明に係る他のオフセット補償回路は、入力電位に応じた電位を出力する駆動回路のオフセット電圧を補償するオフセット補償回路であって、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第N（ただし、Nは2以上の整数である）のキャパシタと、基準電位を駆動回路の入力ノードに与えると同時に、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタを前記オフセット電圧に充電させる第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えると同時に、選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路を備えたものである。

【0009】

また、この発明に係るオフセット補償機能付駆動回路は、入力電位に応じた電位を出力する駆動回路と、上記オフセット補償回路とを備えたものである。

【0010】

また、この発明に係る液晶表示装置は、上記オフセット補償機能付駆動回路と、オフセット補償機能付駆動回路の出力電位に応じてその光透過率が変化する液晶セルとを備えたものである。

【0011】

【発明の実施の形態】

〔実施の形態1〕

図1は、この発明の実施の形態1によるカラー液晶表示装置の構成を示すブロック図である。図1において、このカラー液晶表示装置は、液晶パネル1、垂直

走査回路 7 および水平走査回路 8 を備え、たとえば携帯電話機に設けられる。

【0012】

液晶パネル 1 は、複数行複数列に配列された複数の液晶セル 2 と、各行に対応して設けられた走査線 4 および共通電位線 5 と、各列に対応して設けられたデータ線 6 とを含む。

【0013】

液晶セル 2 は、各行において 3 つずつ予めグループ化されている。各グループの 3 つの液晶セル 2 には、それぞれ R、G、B のカラーフィルタが設けられている。各グループの 3 つの液晶セル 2 は、1 つの画素 3 を構成している。

【0014】

各液晶セル 2 には、図 2 に示すように、液晶駆動回路 10 が設けられている。液晶駆動回路 10 は、N 型トランジスタ 11 およびキャパシタ 12 を含む。N 型トランジスタ 11 は、データ線 6 と液晶セル 2 の一方電極 2a との間に接続され、そのゲートは走査線 4 に接続される。キャパシタ 12 は、液晶セル 2 の一方電極 2a と共通電位線 5 との間に接続される。液晶セル 2 の他方電極には駆動電位 VDD が与えられ、共通電位線 5 には共通電位 VSS が与えられる。

【0015】

図 1 に戻って、垂直走査回路 7 は、画像信号に従って、複数の走査線 4 を所定時間ずつ順次選択し、選択した走査線 4 を選択レベルの「H」レベルにする。走査線 4 が選択レベルの「H」レベルにされると、図 2 の N 型トランジスタ 11 が導通し、その走査線 4 に対応する各液晶セル 2 の一方電極 2a とその液晶セル 2 に対応するデータ線 6 とが結合される。

【0016】

水平走査回路 8 は、画像信号に従って、垂直走査回路 7 によって 1 本の走査線 4 が選択されている間に各データ線 6 に階調電位 VG を与える。液晶セル 2 の光透過率は、階調電位 VG のレベルに応じて変化する。垂直走査回路 7 および水平走査回路 8 によって液晶パネル 1 の全液晶セル 2 が走査されると、液晶パネル 1 の 1 つの画像が表示される。

【0017】

図3は、図1に示した水平走査回路8の要部を示す回路図である。図3において、この水平走査回路8は、各データ線6に階調電位VGを与える前に各データ線6の電位をプリチャージ電位VPCにするためのイコライザ+プリチャージ回路15を含む。

【0018】

イコライザ+プリチャージ回路15は、各データ線6に対応して設けられたスイッチ16と、各隣接する2つのデータ線6に対応して設けられたスイッチ17とを含む。スイッチ16の一方端子はプリチャージ電位VPCを受け、その他方端子は対応のデータ線6に接続される。スイッチ16は、プリチャージ信号 ϕ PCが活性化レベルの「H」レベルにされたことに応じてオンされる。スイッチ16がオンされると、各データ線6はプリチャージ電位VPCにされる。スイッチ17は、2つのデータ線6間に接続され、イコライズ信号 ϕ EQが活性化レベルの「H」レベルにされたことに応じてオンされる。スイッチ17がオンされると、全データ線6の電位が平均化される。スイッチ16、17がオフにされた後、各データ線6に階調電位VGが与えられる。ここでは、プリチャージ電位VPCを0Vとする。

【0019】

図4は、データ線6に階調電位VGを与えるための階調電位発生回路20およびオフセット補償機能付駆動回路25を含む。階調電位発生回路20およびオフセット補償機能付駆動回路25は、データ線6の数だけ設けられている。

【0020】

階調電位発生回路20は、第1電源電位VH（5V）のラインと第2電源電位VL（0V）のラインとの間に直列接続された $n+1$ 個（ただし、 n は自然数である）の抵抗素子21.1～21. $n+1$ と、 $n+1$ 個の抵抗素子21.1～21. $n+1$ の間の n 個のノードと出力ノード20aとの間にそれぞれ接続された n 個のスイッチ22.1～22. n とを含む。

【0021】

$n+1$ 個の抵抗素子21.1～21. $n+1$ の間の n 個のノードには、それぞれ n 段階の電位が現われる。スイッチ22.1～22. n は、画像ノード信号 ϕ

Pによって制御され、それらのうちのいずれか1つのみが導通状態にされる。出力ノード20aには、n段階の電位のうちのいずれか1つの段階の電位が階調電位VGとして出力される。オフセット補償機能付駆動回路25は、選択されたデータ線6が階調電位VGになるようにデータ線6に電流を供給する。

【0022】

図5は、オフセット補償機能付駆動回路25の構成を示す回路図である。図5において、このオフセット補償機能付駆動回路25は、プッシュ型駆動回路26、キャパシタ27.1, 27.2およびスイッチS1, S2.1, S2.2, S3.1, S3.2, S4を含む。プリチャージ電位VCPは0Vであり、階調電位は0V～5Vであるので、データ線6の充電を行なえばよく、放電を行なう必要はない。そこで、このカラー液晶表示装置では、プッシュ型の駆動回路26が使用される。

【0023】

プッシュ型駆動回路26は、図6に示すように、P型トランジスタ31～33、N型トランジスタ34, 35および定電流源36, 37を含む。P型トランジスタ31, 32は、それぞれ第3電源電位VH1（たとえば10V）のラインとノードN31, N32との間に接続され、それらのゲートはともにノードN32に接続される。P型トランジスタ31, 32は、カレントミラー回路を構成する。

【0024】

N型トランジスタ34, 35は、それぞれノードN31, N32とノードN34との間に接続され、それらのゲートはそれぞれ入力ノードN21および出力ノードN22に接続される。定電流源36は、ノードN34から第4電源電位VL1（たとえば0V）のラインに所定の定電流を流出させる。P型トランジスタ33は、第3電源電位VH1のラインと出力ノードN22との間に接続され、そのゲートはノードN31に接続される。定電流源37は、出力ノードN22から第4電源電位VL1のラインに所定の定電流を流出させる。P型トランジスタ31, 32、N型トランジスタ34, 35および定電流源36は、差動増幅回路を構成する。

【0025】

N型トランジスタ34には、入力ノードN21の電位 V_{21} に応じたレベルの電流が流れる。N型トランジスタ35には、出力ノードN22の電位 V_{22} に応じたレベルの電流が流れる。P型トランジスタ31と32はカレントミラー回路を構成し、P型トランジスタ32とN型トランジスタ35は直列接続されているので、トランジスタ31、32、35には出力ノードN22の電位 V_{22} に応じたレベルの電流が流れる。

【0026】

V_{21} が V_{22} よりも高い場合は、P型トランジスタ31に流れる電流がN型トランジスタ34に流れる電流よりも小さくなってノードN31の電位が低下し、P型トランジスタ33に流れる電流が大きくなって電位 V_{22} が上昇する。 V_{21} が V_{22} よりも低い場合は、P型トランジスタ31に流れる電流がN型トランジスタ34に流れる電流よりも大きくなってノードN31の電位が上昇し、P型トランジスタ33に流れる電流が小さくなって電位 V_{22} が低下する。したがって、 $V_{21} = V_{22}$ となる。

【0027】

つまり、プッシュ型駆動回路26は、入力インピーダンスが高く、出力インピーダンスが低く、電圧増幅率が1であるバッファ回路である。ただし、トランジスタ31～35のしきい値電圧のばらつきにより、入力電位 V_{21} と出力電位 V_{22} の間に電位差すなわちオフセット電圧 V_{OF} が生じる。たとえば、N型トランジスタ33、34間でしきい値電圧 V_{TN} が異なる場合は、オフセット電圧 V_{OF} が生じる。このオフセット電圧 V_{OF} は、N型トランジスタ33、34のしきい値電圧の差 $|\Delta V_{TN}|$ で表わされる。

【0028】

図5に戻って、プッシュ型駆動回路26の入力ノードN21は、寄生容量 C_0 を有する。図5では、この寄生容量 C_0 は、入力ノードN21と接地電位GNDのラインとの間に接続されたキャパシタ28で示されている。また、負荷容量は、出力ノードN23と接地電位GNDのラインとの間に接続されたキャパシタ29で示されている。キャパシタ27.1、27.2およびスイッチS1、S2.

1, S2. 2, S3. 2, S4は、プッシュ型駆動回路26のオフセット電圧 V_{OF} を補償するためのオフセット補償回路を構成している。

【0029】

すなわち、スイッチS1は入力ノードN20と駆動回路26の入力ノードN21との間に接続され、スイッチS4は出力ノードN23と駆動回路26の出力ノードN22との間に接続される。キャパシタ27. 1およびスイッチS2. 1は、駆動回路26の入力ノードN21と出力ノードN22の間に直列接続される。スイッチS3. 1は、入力ノードN20とキャパシタ27. 1およびスイッチS2. 1間のノードN1との間に接続される。キャパシタ27. 2およびスイッチS2. 2は、ノードN1とN22の間に直列接続される。スイッチS3. 2は、入力ノードN20とキャパシタ27. 2およびスイッチS2. 2間のノードN2との間に接続される。

【0030】

スイッチS1, S2. 1, S2. 2, S3. 1, S3. 2, S4の各々は、P型トランジスタでもよいし、N型トランジスタでもよいし、P型トランジスタおよびN型トランジスタを並列接続したものでもよい。スイッチS1, S2. 1, S2. 2, S3. 1, S3. 2, S4の各々は、制御信号（図示せず）によってオン／オフ制御される。

【0031】

今、駆動回路26の出力電位 V_{22} が入力電位 V_{21} よりもオフセット電圧 V_{OF} だけ低い場合について説明する。図7に示すように、初期状態では、すべてのスイッチS1, S2. 1, S2. 2, S3. 1, S3. 2, S4はオフ状態にされている。ある時刻 t_1 においてスイッチS1, S2. 1, S2. 2がオンされると、駆動回路26の入力ノードN21の電位 V_{21} は $V_{21} = V_I$ になり、駆動回路26の出力電位 V_{22} およびノードN1, N2の電位 V_1, V_2 は $V_{22} = V_1 = V_2 = V_I - V_{OF}$ となり、キャパシタ27. 1はオフセット電圧 V_{OF} に充電されるとともにキャパシタ27. 2の端子内電圧が0Vにリセットされる。

【0032】

次に時刻 t_2 においてスイッチ $S_{1, 1}$, $S_{2, 1}$ がオフされると、オフセット電圧 V_{OF} がキャパシタ $27, 1$ に保持される。次いで時刻 t_3 においてスイッチ $S_{3, 1}$ がオンされると、ノード N_1 の電位 V_1 は $V_1 = V_I$ になる。もし駆動回路 26 の入力ノード $N_{2, 1}$ に寄生容量 C_0 がなければ、駆動回路 26 の入力電位 $V_{2, 1}$ は $V_{2, 1} = V_I + V_{OF}$ となり、駆動回路 26 の出力電位 $V_{2, 2}$ は $V_{2, 2} = V_I$ となる。しかし、実際には寄生容量 C_0 があるので、駆動回路 26 の入力電位 $V_{2, 1}$ は $V_{2, 1} = V_I + V_{OF} - \Delta V_1$ となり、駆動回路 26 の出力電位 $V_{2, 2}$ は $V_{2, 2} = V_I - \Delta V_1$ となる。この損失電圧 ΔV_1 は、キャパシタ $27, 1$ のキャパシタンスを C_1 とすると次式で表わされる。

$$\Delta V_1 = V_{OF} \cdot C_0 / (C_0 + C_1) \quad \dots (1)$$

また、このときスイッチ $S_{2, 2}$, $S_{3, 1}$ がオンし、スイッチ $S_{3, 2}$ がオフしているので、ノード N_2 の電位 V_2 は $V_2 = V_I - \Delta V_1$ となる。すなわち、ノード N_2 の電位 V_2 は 1 回目のオフセットキャンセル動作で生じる損失電圧 ΔV_1 だけ入力電位 V_I よりも低い電位になり、キャパシタ $27, 2$ は ΔV_1 に充電される。

【0033】

時刻 t_4 においてスイッチ $S_{2, 2}$, $S_{3, 1}$ がオフされた後、時刻 t_5 においてスイッチ $S_{3, 2}$ がオンされると、ノード N_2 の電位 V_2 が $V_I - \Delta V_1$ から V_I に変化する。すなわち、ノード N_2 の電位 V_2 が ΔV_1 だけ上昇する。この変化分 ΔV_1 は、キャパシタ $27, 2$, $27, 1$ を介してノード $N_{2, 1}$ に伝達され、ノード $N_{2, 1}$ の電位 $V_{2, 1}$ が上昇する。ただし、この場合も寄生容量 C_0 によって損失電圧 ΔV_2 が生じ、ノード $N_{2, 1}$ の電位 $V_{2, 1}$ は $\Delta V_1 - \Delta V_2$ だけ上昇し、 $V_{2, 1} = V_I + V_{OF} - \Delta V_1 + \Delta V_1 - \Delta V_2 = V_I + V_{OF} - \Delta V_2$ となる。

【0034】

ノード $N_{2, 1}$ の電位 V_1 の上昇により、ノード $N_{2, 2}$ の電位 $V_{2, 2}$ も同じ電圧 $\Delta V_1 - \Delta V_2$ だけ上昇し、 $V_{2, 2} = V_I - \Delta V_1 + \Delta V_1 - \Delta V_2 = V_I - V_2$ となる。なお、ノード N_1 の電位 V_1 は、キャパシタ $27, 1$, $27, 2$ のキャパシタンスをそれぞれ C_1 , C_2 とすると、次式 (2) で表わされる。

$$V_1 = V_I + \Delta V_1 \cdot C_2 / [C_2 + C_0 \cdot C_1 / (C_0 + C_1)] \quad \cdots (2)$$

また、 ΔV_2 は次式(3)で表わされる。

$$\Delta V_2 = \Delta V_1 \cdot C_0 / [C_0 + C_1 \cdot C_2 / (C_1 + C_2)] \quad \cdots (3)$$

ここで、説明を容易にするために $C_1 = C_2$ とすると、 $\Delta V_2 = \Delta V_1 \cdot C_0 / (C_0 + C_1 / 2)$ となる。さらに、 $C_0 / C_1 = 1 / 10$ とすると、 $\Delta V_2 = \Delta V_1 \cdot 1 / 6$ となる。すなわち、2回目のオフセットキャンセル動作による損失分 ΔV_2 は1回目の損失分 ΔV_1 の $1 / 6$ に低減される。

【0035】

1つのキャパシタを用いて1回のオフセットキャンセル動作を行なう従来の方法で損失分 ΔV_1 を $1 / 6$ にするためには、6倍の面積のキャパシタが必要になる。他方、この実施の形態1では、2つのキャパシタ27. 1, 27. 2を用いるので、キャパシタの面積を2倍したことになるが、損失分 ΔV_1 を $1 / 6$ にするためのキャパシタの面積は従来の $2 / 6 = 1 / 3$ ですむ。なお、スイッチS2. 2, S3. 2の面積はキャパシタに比べて十分に小さい。

【0036】

次に、時刻t6においてスイッチS4がオンされると、出力電位VOが $VO = V_I - \Delta V_2$ となり負荷に供給される。なお、スイッチS4は必ずしも必要でない。ただし、スイッチS4を設けないと、負荷容量が大きい場合は時刻t1においてスイッチS1, S2. 1, S2. 2をオンしてからキャパシタ27. 1の端子間電圧VOFが安定するまでの時間が長くなる。

【0037】

図8は、この実施の形態1の変更例となるオフセット補償機能付駆動回路38の構成を示す回路図である。図8を参照して、このオフセット補償機能付駆動回路38が図5のオフセット補償機能付駆動回路25と異なる点は、2つのキャパシタ27. 1, 27. 2、2つのスイッチS2. 1, S2. 2および2つのスイッチS3. 1, S3. 2がm個（ただし、mは3以上の整数である）のキャパシタ27. 1～27. m、m個のスイッチS2. 1～S2. mおよびm個のスイッチS3. 1～S3. mで置換されている点である。

【0038】

キャパシタ 27. 1 の一方電極は駆動回路 26 の入力ノードに接続され、キャパシタ 27. 2 ~ 27. m の一方電極はそれぞれキャパシタ 27. 1 ~ 27. m-1 の他方電極に接続される。スイッチ S 2. 1 ~ S 2. m の一方端子はともにノード N 22 に接続され、それらの他方端子はそれぞれキャパシタ 27. 1 ~ 27. m の他方電極に接続される。スイッチ S 3. 1 ~ S 3. m の一方端子はともにノード N 20 に接続され、それらの他方端子はそれぞれキャパシタ 27. 1 ~ 27. m の他方電極に接続される。

【0039】

ある時刻においてスイッチ S 1, S 2. 1 ~ S 2. m がオンされ、キャパシタ 27. 1 がオフセット電圧 VOF に充電されるとともに、キャパシタ 27. 2 ~ 27. m の各々の端子間電圧が 0 V にリセットされる。

【0040】

スイッチ S 1, S 2. 1 がオフされた後、スイッチ S 3. 1 がオンされてキャパシタ 27. 2 が第 1 損失電圧 ΔV_1 に充電される。次いで、スイッチ S 2. 2 がオフされるとともにスイッチ S 3. 2 がオンされてキャパシタ 27. 3 が第 2 損失電圧 ΔV_2 に充電される。以下、同様にして、キャパシタ 27. m が第 m-1 損失電圧 ΔV_{m-1} に充電される。次に、スイッチ S 2. m がオフされるとともにスイッチ S 3. m がオンされる。

【0041】

キャパシタ 27. 1 ~ 27. m の各々のキャパシタンスを C 1 とすると、m 回のオフセットキャンセル動作を行なった場合の損失電圧 ΔV_m は次式 (4) で表わされる。

$$\Delta V_m = V_{OF} \cdot C_0 / (C_0 + C_1) \cdot C_0 / (C_0 + C_1 / 2) \cdots C_0 / (C_0 + C_1 / m) \cdots (4)$$

ただし、損失電圧 ΔV_m は m を大きくするほど小さくなっていくが、低減の程度も小さくなっていき、逆にキャパシタ 27. 1 ~ 27. m の面積増大の悪影響が相対的に大きくなるので、必要な出力電位精度に応じて最適な回数 m を設定する必要がある。

【0042】

〔実施の形態 2〕

図 9 は、この発明の実施の形態 2 によるオフセット補償機能付駆動回路の要部を示す回路図である。図 9 を参照して、このオフセット補償機能付駆動回路が図 5 のオフセット補償機能付駆動回路 25 と異なる点は、プッシュ型駆動回路 26 がプッシュ型駆動回路 40 で置換されている点である。

【0043】

このプッシュ型駆動回路 40 は、定電流源 41、42、N 型トランジスタ 43、44 および P 型トランジスタ 45、46 を含む。定電流源 41、N 型トランジスタ 43 および P 型トランジスタ 45 は、第 3 電源電位 V_{H1} （たとえば 10 V）のラインと第 4 電源電位 V_{L1} （たとえば 0 V）のラインとの間に直列接続される。P 型トランジスタ 45 のゲートは、入力ノード N_{21} に接続される。N 型トランジスタ 43 のゲートは、そのドレイン（ノード N_{41} ）に接続される。N 型トランジスタ 43 は、ダイオードを構成する。トランジスタ 43、45 の駆動電流は定電流源 41 の電流値よりも十分大きく設定されているので、P 型トランジスタ 45 はソースフォロア動作を行ない、ノード N_{41} の電位 V_{41} は $V_{41} = V_{21} + |V_{TP}| + V_{TN}$ となる。ここで、 V_{TP} は P 型トランジスタのしきい値電圧であり、 V_{TN} は N 型トランジスタのしきい値電圧である。

【0044】

N 型トランジスタ 44、P 型トランジスタ 46 および定電流源 42 は、第 5 電源電位 V_{H2} （たとえば 10 V）のラインと第 6 電源電位 V_{L2} （たとえば 0 V）のラインとの間に直列接続される。N 型トランジスタ 44 のゲートは、ノード N_{41} の電位 V_{41} を受ける。P 型トランジスタ 46 のゲートは、そのドレイン（出力ノード N_{22} ）に接続される。トランジスタ 44、46 の駆動電流は定電流源 42 の電流値よりも十分大きく設定されているので、N 型トランジスタ 44 はソースフォロア動作を行ない、出力ノード N_{22} の電位 V_{22} は $V_{22} = V_{41} - V_{TN} - |V_{TP}| = V_{21}$ となる。

【0045】

すなわち、このプッシュ型駆動回路 40 は、定電流源 41、N 型トランジスタ 43 および P 型トランジスタ 45 からなるレベルシフト回路と N 型トランジスタ

44、P型トランジスタ46および定電流源42からなるレベルシフト回路とを2段接続した回路である。この駆動回路40は、予め低い電位にプリチャージされたノードをトランジスタ44、46を介して充電して出力ノードN22の電位V22を入力ノードN21の電位V21に上昇させる動作を行なう。

【0046】

N型トランジスタ43と44のしきい値電圧 V_{TN} が同じであり、P型トランジスタ45と46のしきい値電圧 V_{TP} が同じである場合、この駆動回路40はオフセット電圧 V_{OF} を有しない。しかし、N型トランジスタ43と44のしきい値電圧 V_{TN} が異なる場合および／またはP型トランジスタ45と46のしきい値電圧 V_{TP} が異なる場合は、オフセット電圧 V_{OF} が発生する。この場合、N型トランジスタ43と44のしきい値電圧 V_{TN} の差を ΔV_{TN} とし、P型トランジスタ45と46のしきい値電圧 V_{TP} の差を ΔV_{TP} とすると、オフセット電圧 V_{OF} は $V_{OF} = |\Delta V_{TP} + \Delta V_{TN}|$ となる。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0047】

この実施の形態2では、実施の形態1に比べ、駆動回路の貫通電流が小さくなり、消費電力の低減化が図られる。

【0048】

以下、この実施の形態2の変更例について説明する。図10のプッシュ型駆動回路47は、図9のプッシュ型駆動回路40からN型トランジスタ43およびP型トランジスタ46を除去したものである。ノードN41の電位 V_{41} は $V_{41} = V_{21} + |V_{TP}|$ となり、出力電位V22は $V_{22} = V_{41} - V_{TN} = V_{21} + |V_{TP}| - V_{TN}$ となる。したがって、この駆動回路47は、初期的にオフセット電圧 $V_{OF} = V_{TN} - |V_{TP}|$ を有している。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0049】

図11のプッシュ型駆動回路48は、図10のプッシュ型駆動回路47から定電流源41およびP型トランジスタ45を除去し、N型トランジスタ44のゲートを入力ノードN21に接続したものである。出力電位V22は $V_{22} = V_{21}$

− V_{TN} となる。したがって、この駆動回路 48 は、初期的にオフセット電圧 $V_{OF} = V_{TN}$ を有している。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0050】

[実施の形態 3]

図 12 は、この発明の実施の形態 3 によるオフセット補償機能付駆動回路の要部を示す回路図である。図 12 を参照して、このオフセット補償機能付駆動回路が図 5 のオフセット補償機能付駆動回路 25 と異なる点は、プッシュ型駆動回路 26 がプル型駆動回路 50 で置換されている点である。図 3 で説明したプリチャージ電位 V_{CP} が 5 V の場合は、階調電位 V_G は 0 ~ 5 V であるのでデータ線 6 の放電を行なえばよく、充電を行なう必要はない。この場合、プル型の駆動回路 50 が使用される。

【0051】

このプル型駆動回路 50 は、N 型トランジスタ 51、52、P 型トランジスタ 53、54 および定電流源 55、56 を含む。N 型トランジスタ 51、P 型トランジスタ 53 および定電流源 55 は、第 7 電源電位 V_{H3} (たとえば 5 V) のラインと第 8 電源電位 V_{L3} (たとえば −10 V) のラインとの間に直列接続される。N 型トランジスタ 51 のゲートは、入力ノード N21 に接続される。P 型トランジスタ 53 のゲートは、そのドレイン (ノード N55) に接続される。P 型トランジスタ 53 は、ダイオードを構成する。トランジスタ 51、53 の駆動電流は定電流源 55 の電流値よりも十分大きく設定されているので、N 型トランジスタ 51 はソースフォロア動作を行ない、ノード N55 の電位 V_{55} は $V_{55} = V_{21} - V_{TN} - |V_{TP}|$ となる。

【0052】

定電流源 56、N 型トランジスタ 52 および P 型トランジスタ 54 は、第 9 電源電位 V_{H4} (たとえば 5 V) のラインと第 10 電源電位 V_{L4} (たとえば −10 V) とのラインとの間に直列接続される。P 型トランジスタ 54 のゲートは、ノード N55 に接続される。N 型トランジスタ 52 のゲートは、そのドレイン (出力ノード N22) に接続される。トランジスタ 52、54 の駆動電流は定電流

源 56 の電流値よりも十分大きく設定されているので、P 型トランジスタ 54 はソースフォロア動作を行ない、出力ノード N22 の電位 V_{22} は $V_{22} = V_{55} + |V_{TP}| + V_{TN} = V_{21}$ となる。

【0053】

つまり、このプル型駆動回路 50 は、N 型トランジスタ 51、P 型トランジスタ 53 および定電流源 55 からなるレベルシフト回路と定電流源 56、N 型トランジスタ 52 および P 型トランジスタ 54 を用いたレベルシフト回路とを 2 段接続した回路である。この駆動回路 50 は、予め高い電位にプリチャージされたノードをトランジスタ 52、54 を介して放電し、出力ノード N22 の電位 V_{22} を入力ノード N21 の電位 V_{21} に低下させる動作を行なう。

【0054】

N 型トランジスタ 51 と 52 のしきい値電圧 V_{TN} が同じであり、P 型トランジスタ 53 と 54 のしきい値電圧 V_{TP} が同じである場合、この駆動回路 50 はオフセット電圧 V_{OF} を有しない。しかし、N 型トランジスタ 51 と 52 のしきい値電圧 V_{TN} が異なる場合および／または P 型トランジスタ 53 と 54 のしきい値電圧 V_{TP} が異なる場合は、オフセット電圧 V_{OF} が発生する。この場合、N 型トランジスタ 51 と 52 のしきい値電圧 V_{TN} の差を ΔV_{TN} とし、P 型トランジスタ 53 と 54 のしきい値電圧 V_{TP} の差を ΔV_{TP} とすると、オフセット電圧 V_{OF} は $V_{OF} = |\Delta V_{TP} + \Delta V_{TN}|$ となる。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0055】

この実施の形態 3 でも、実施の形態 1 に比べて駆動回路の貫通電流が小さくなり、消費電流の低減化が図られる。

【0056】

以下、この実施の形態 3 の変更例について説明する。図 13 のプル型駆動回路 57 は、図 12 のプル型駆動回路 50 から P 型トランジスタ 53 および N 型トランジスタ 52 を除去したものである。ノード N55 の電位 V_{55} は $V_{55} = V_{21} - V_{TN}$ となり、出力電位 V_{22} は $V_{22} = V_{21} - V_{TN} + |V_{TP}|$ となる。したがって、この駆動回路 57 は、初期的にオフセット電圧 $V_{OF} = V_{TN}$

ー $|V_{TP}|$ を有している。このオフセット電圧 V_{OF} は、上述した複数回のオフセットキャンセル動作により低減化される。

【0057】

図14のプル型駆動回路58は、図13のプル型駆動回路57からN型トランジスタ51および定電流源55を除去し、P型トランジスタ54のゲートを入力ノードN21に接続したものである。出力電位 V_{22} は $V_{22} = V_{21} + |V_{PT}|$ となる。したがって、この駆動回路58は、初期的にオフセット電圧 $V_{OF} = V_{TN}$ を有している。このオフセット電圧 V_{OF} は、上述のオフセットキャンセル動作により低減化される。

【0058】

[実施の形態4]

図15は、この発明の実施の形態4によるオフセット補償機能付駆動回路60の構成を示す回路ブロック図である。図15を参照して、このオフセット補償機能付駆動回路60は、オフセット補償機能付プッシュ型駆動回路61およびオフセット補償機能付プル型駆動回路62を並列接続したものであり、図3で説明したプリチャージ電位 V_{CP} が0～5Vの間の電位たとえば2.5Vの場合に使用される。

【0059】

オフセット補償機能付プッシュ型駆動回路61は、実施の形態1, 2で示した複数のオフセット補償機能付プッシュ型駆動回路のうちのいずれかと同じものである。オフセット補償機能付プル型駆動回路62は、実施の形態3で示した複数のオフセット補償機能付プル型駆動回路のうちのいずれかと同じものである。スイッチ $S_{4.1}$, $S_{4.2}$ は、実際にはそれぞれ駆動回路61, 62に含まれているが、説明および理解の簡単化のため、駆動回路61, 62とは別に記載されている。

【0060】

データ線6すなわち出力ノードN23がプリチャージ電位 V_{CP} にプリチャージされた後、入力ノードN20に階調電位 V_G が与えられると、駆動回路61, 62の各々において図7で示したオフセットキャンセル動作が行われ、スイッチ

S 4. 1, S 4. 2 がともにオンされて出力ノード N 2 3 が階調電位 V G に駆動される。このとき 2 つの駆動回路 6 1, 6 2 は同じ電位を出力するので、貫通電流は流れない。また、この状態でデータ線 6 にプラスのノイズが発生した場合はプル型駆動回路 6 2 が動作し、データ線 6 にマイナスのノイズが発生した場合はプッシュ型駆動回路 6 1 が動作し、データ線 6 に生じたノイズを低い出力インピーダンスで低レベルに抑制することができる。

【0061】

この実施の形態 4 では、プリチャージ電位 V C P を 0 ~ 5 V の間の電位たとえば 2. 5 V にしたので、プリチャージ電位 V C P を 0 V または 5 V にした場合に比べ、データ線 6 の電位を高速に設定することができ、かつ消費電力の低減化を図ることができる。

【0062】

〔実施の形態 5〕

図 1 6 は、この発明の実施の形態 5 によるオフセット補償機能付駆動回路 6 5 の構成を示す回路ブロック図である。図 1 6 を参照して、このオフセット補償機能付駆動回路 6 5 は、図 5 のオフセット補償機能付駆動回路 2 5 のスイッチ S 1 の一方端子を入力ノード N 2 0 の代りに基準電位 V R (たとえば 2. 5 V) のノード N 6 0 に接続したものである。基準電位 V R は、液晶表示装置の外部から直接供給してもよいし、液晶表示装置内に設けられた低出力インピーダンスの電源回路から供給してもよい。入力ノード N 2 0 は、スイッチ S 3. 1, S 3. 2 の一方端子に接続されている。スイッチ S 1, S 2. 1, S 2. 2, S 3. 1, S 3. 2, S 4 の制御方法は、実施の形態 1 で説明したとおりである。

【0063】

次に、キャパシタ 2 7. 1 およびスイッチ S 1, S 2. 1, S 3. 1 を用いて行われる 1 回目のオフセットキャンセル動作に注目して、このオフセット補償機能付駆動回路 6 5 の効果について説明する。ここでは、駆動回路 2 6 の出力電位 V 2 2 が入力電位 V 2 1 よりもオフセット電圧 V O F だけ低い場合について説明する。

【0064】

まずスイッチ S1, S2. 1 がオンすると、駆動回路 26 の入力電位 V21 は基準電位 VR になり、駆動回路 26 の出力電位 V22 およびノード N1 の電位 V1 は $V21 - VOF = VR - VOF$ となり、キャパシタ 27. 1 はオフセット電圧 VOF に充電される。

【0065】

次にスイッチ S1, S2. 1 がオフされると、オフセット電圧 VOF がキャパシタ 27. 1 に保持される。次いでスイッチ S3. 1 がオンされると、ノード N1 の電位 V1 は $VR - VOF$ から VI に変化する。この変化分がキャパシタ 27. 1 を介して駆動回路 26 の入力ノード N21 に伝達される。VI > VR - VOF とすると、駆動回路 26 の入力ノード N21 の電圧変化 ΔV は次式で表される。

$$\Delta V = [VI - (VR - VOF)] \cdot C1 / (C0 + C1) \quad \cdots (5)$$

ここで、 $C1 / (C0 + C1) = 1 / (1 + C0 / C1)$ であり、 $C0 \ll C1$ とすると、 $1 / (1 + C0 / C1) \doteq 1 - C0 / C1$ となる。 $C0 / C1 = r$ とすると、 $1 - C0 / C1 = 1 - r$ となり、この式を上式 (5) に代入すると、次式が得られる。

$$\Delta V = [VI - (VR - VOF)] \cdot (1 - r) \quad \cdots (6)$$

駆動回路 26 の入力電位 V21 は、基準電位 VR に ΔV を加算した電位 VR + ΔV となり、これは次式で表される。

$$\begin{aligned} V21 &= VR + \Delta V = VR + [VI - (VR - VOF)] \cdot (1 - r) \\ &= VR + VI - VR + VOF - [VI - (VR - VOF)] \cdot r \\ &= VI + VOF - r \cdot VOF - r \cdot (VI - VR) \quad \cdots (7) \end{aligned}$$

図 5 のオフセット補償機能付駆動回路 25 について同様の計算を行うと、以下のようなになる。

$$\begin{aligned} V21 &= VI + VOF - VOF \cdot C0 / (C0 + C1) \\ &= VI + VOF - VOF \cdot (C0 / C1) / (C0 / C1 + 1) \\ &= VI + VOF - VOF \cdot r / (1 + r) \\ &\doteq VI + VOF - VOF \cdot r \cdot (1 - r) \\ &= VI + VOF - VOF \cdot (r - r^2) \end{aligned}$$

ここで $r^2 \div 0$ とすると、次式が得られる。

$$V_{21} \div V_I + V_{OF} - r \cdot V_{OF} \quad \cdots (8)$$

式(7)と(8)を比較すると、図16のオフセット補償機能付駆動回路65の V_{21} は図5のオフセット補償機能付駆動回路25の V_{21} に比べて式(7)の第4項分 $[-r \cdot (V_I - V_R)]$ だけ小さくなるが、この値は r を小さくし、オフセットキャンセル動作を複数回行うことにより無視可能な大きさになる。

【0066】

図4で示した階調電位発生回路20から多数のオフセット補償機能付駆動回路25に同一の階調電位 V_G を与える場合は、階調電位発生回路20の負荷容量値は多数の駆動回路26の入力容量値 C_0 の総和になり、階調電位 V_G の安定化に必要な時間が長くなる。

【0067】

しかし、オフセット補償機能付駆動回路25を図16のオフセット補償機能付駆動回路65で置換すると、駆動回路26の入力容量は基準電位 V_R で充電されるので、階調電位発生回路20の負荷容量値が大幅に小さくなり、階調電位 V_G が短時間で安定する。

【0068】

図17は、この実施の形態の変更例を示す回路図である。図17を参照して、このオフセット補償機能付駆動回路66は、図8のオフセット補償機能付駆動回路38のスイッチ S_1 の一方端子を入力ノード N_{20} の代りに基準電位 V_R のノード N_{60} に接続したものである。この変更例でも、図16のオフセット補償機能付駆動回路65と同じ効果が得られる。

【0069】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0070】

【発明の効果】

以上のように、この発明に係るオフセット補償回路では、初段の一方電極が駆動回路の入力ノードに接続され、各々の一方電極が前段の他方電極に接続された第1～第Nのキャパシタと、入力電位を駆動回路の入力ノードに与えるとともに、第1のキャパシタの他方電極を駆動回路の出力ノードに接続し、第1のキャパシタをオフセット電圧に充電させる第1の切換回路と、第2～第Nのキャパシタを所定時間ずつ順次選択し、選択したキャパシタの一方電極に入力電位を与えるとともに選択したキャパシタの他方電極を駆動回路の出力ノードに接続し、第1～第Nのキャパシタをオフセット電圧に充電させる第2の切換回路と、第Nのキャパシタの他方電極に入力電位を与える第3の切換回路とが設けられる。したがって、駆動回路の入力ノードの寄生容量の影響を小さくすることができ、オフセット電圧を正確にキャンセルすることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるカラー液晶表示装置の全体構成を示すブロック図である。

【図2】 図1に示した各液晶セルに対応して設けられる液晶駆動回路の構成を示す回路図である。

【図3】 図1に示した水平走査回路に含まれるイコライザ+プリチャージ回路の構成を示す回路図である。

【図4】 図1に示した水平走査回路に含まれる階調電位発生回路およびオフセット補償機能付駆動回路の構成を示す回路ブロック図である。

【図5】 図4に示したオフセット補償機能付駆動回路の構成を示す回路図である。

【図6】 図5に示したプッシュ型駆動回路の構成を示す回路図である。

【図7】 図5に示したオフセット補償機能付駆動回路の動作を示すタイムチャートである。

【図8】 実施の形態1の変更例を示す回路図である。

【図9】 この発明の実施の形態2によるオフセット補償機能付駆動回路に含まれるプッシュ型駆動回路の構成を示す回路図である。

【図10】 実施の形態2の変更例を示す回路図である。

【図 1 1】 実施の形態 2 の他の変更例を示す回路図である。

【図 1 2】 この発明の実施の形態 3 によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図 1 3】 実施の形態 3 の変更例を示す回路図である。

【図 1 4】 実施の形態 3 の他の変更例を示す回路図である。

【図 1 5】 この発明の実施の形態 4 によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図 1 6】 この発明の実施の形態 5 によるオフセット補償機能付駆動回路の構成を示す回路図である。

【図 1 7】 実施の形態 5 の変更例を示す回路図である。

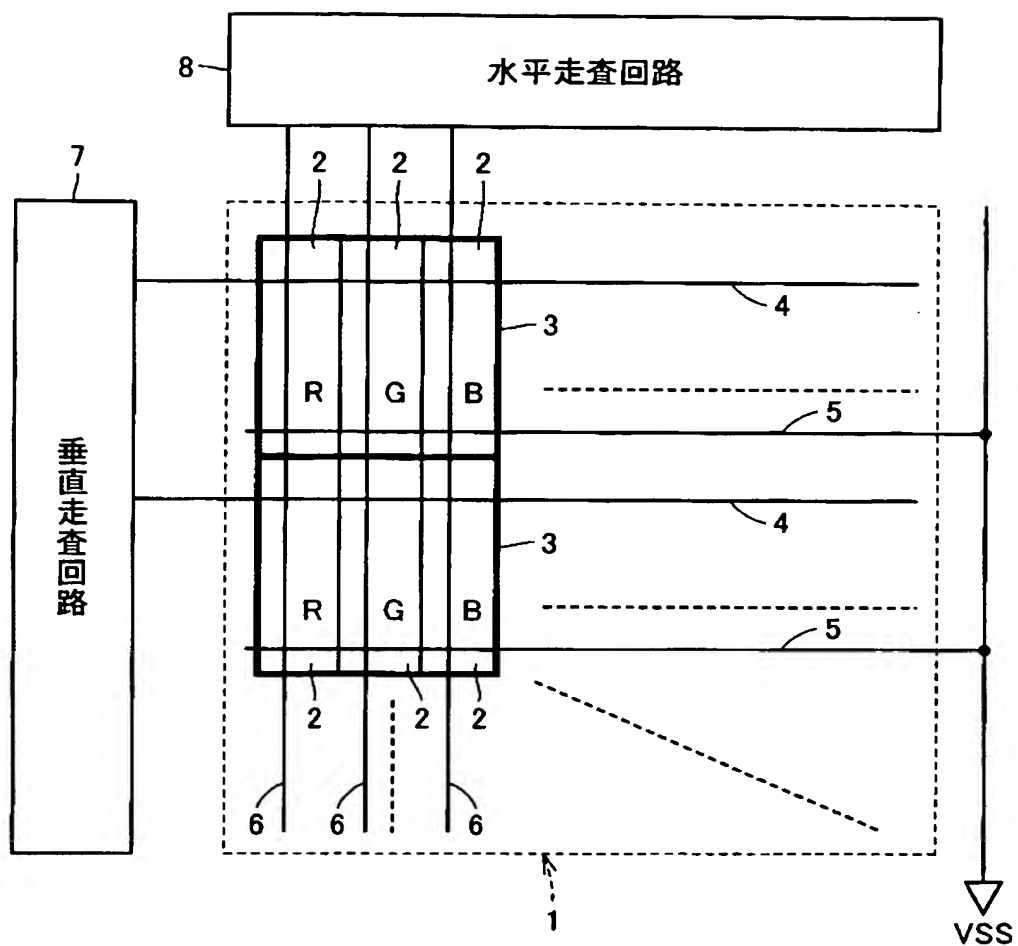
【符号の説明】

1 液晶パネル、2 液晶セル、3 画素、4 走査線、5 共通電位線、6 データ線、7 垂直走査回路、8 水平走査回路、10 液晶駆動回路、11, 34, 35, 43, 44, 51, 52 N型トランジスタ、12, 27, 28 キャパシタ、15 イコライザ+プリチャージ回路、16, 17, 22, S スイッチ、20 階調電位発生回路、21 抵抗素子、25, 38, 60~62, 65, 66 オフセット補償機能付駆動回路、26, 40, 47, 48, 50, 57, 58 駆動回路、31~33, 45, 46, 53, 54 P型トランジスタ、36, 37, 41, 42, 55, 56 定電流源。

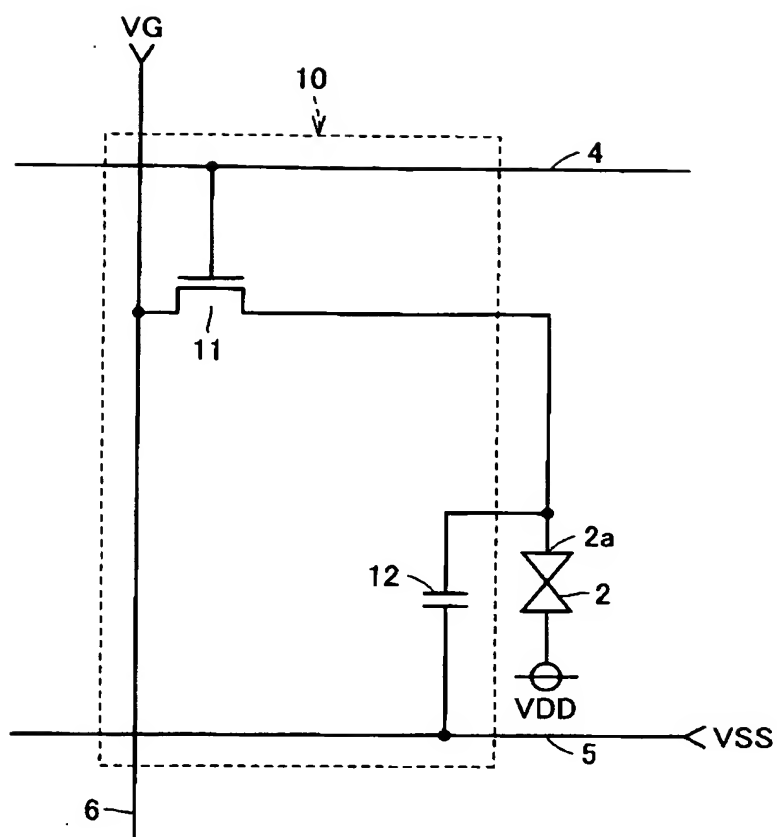
【書類名】

図面

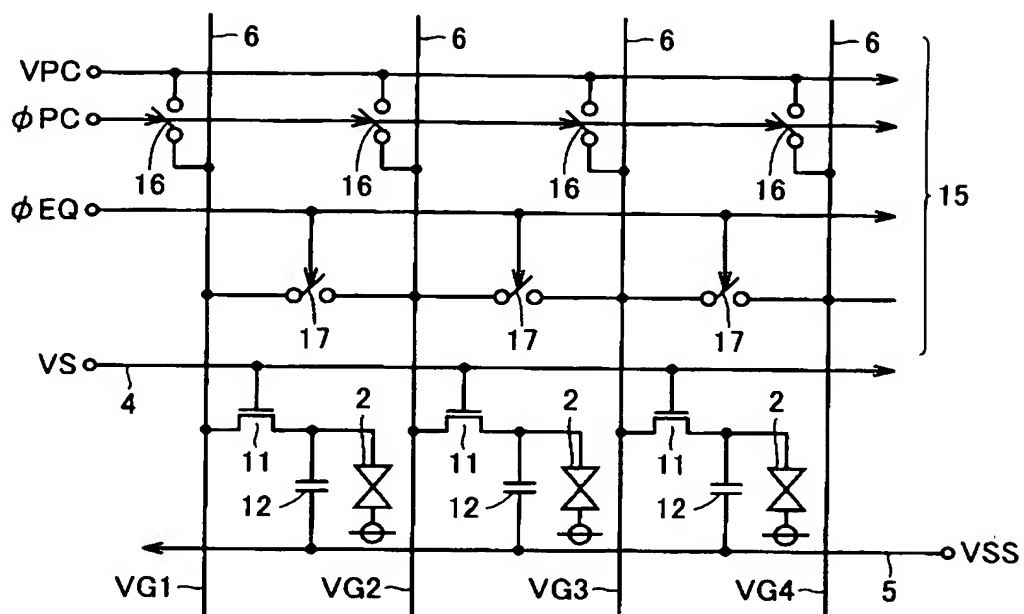
【図 1】



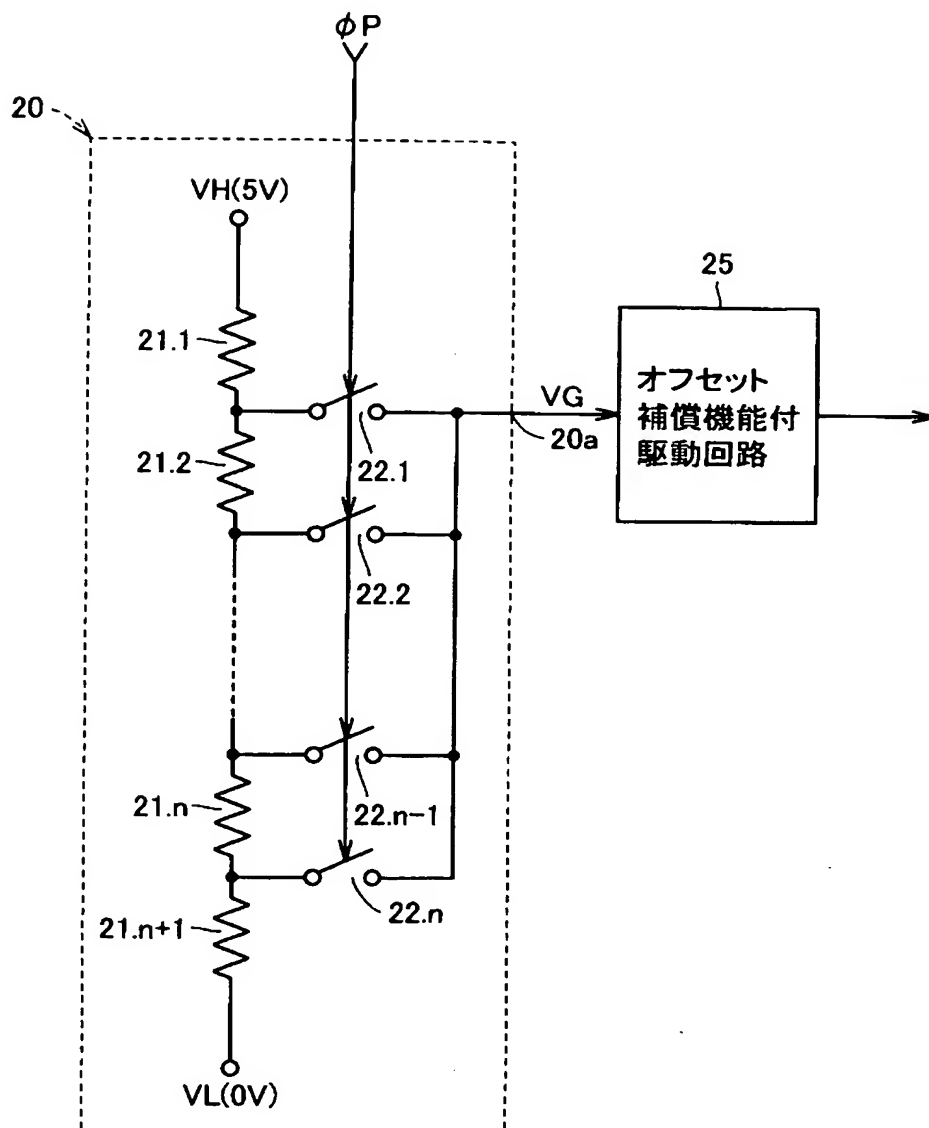
【図 2】



【図 3】

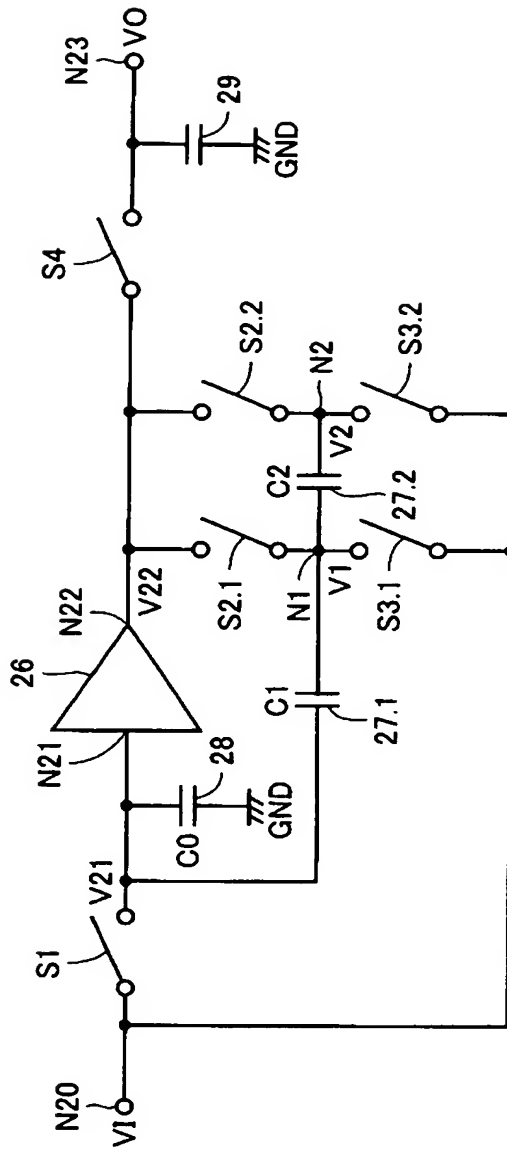


【図 4】

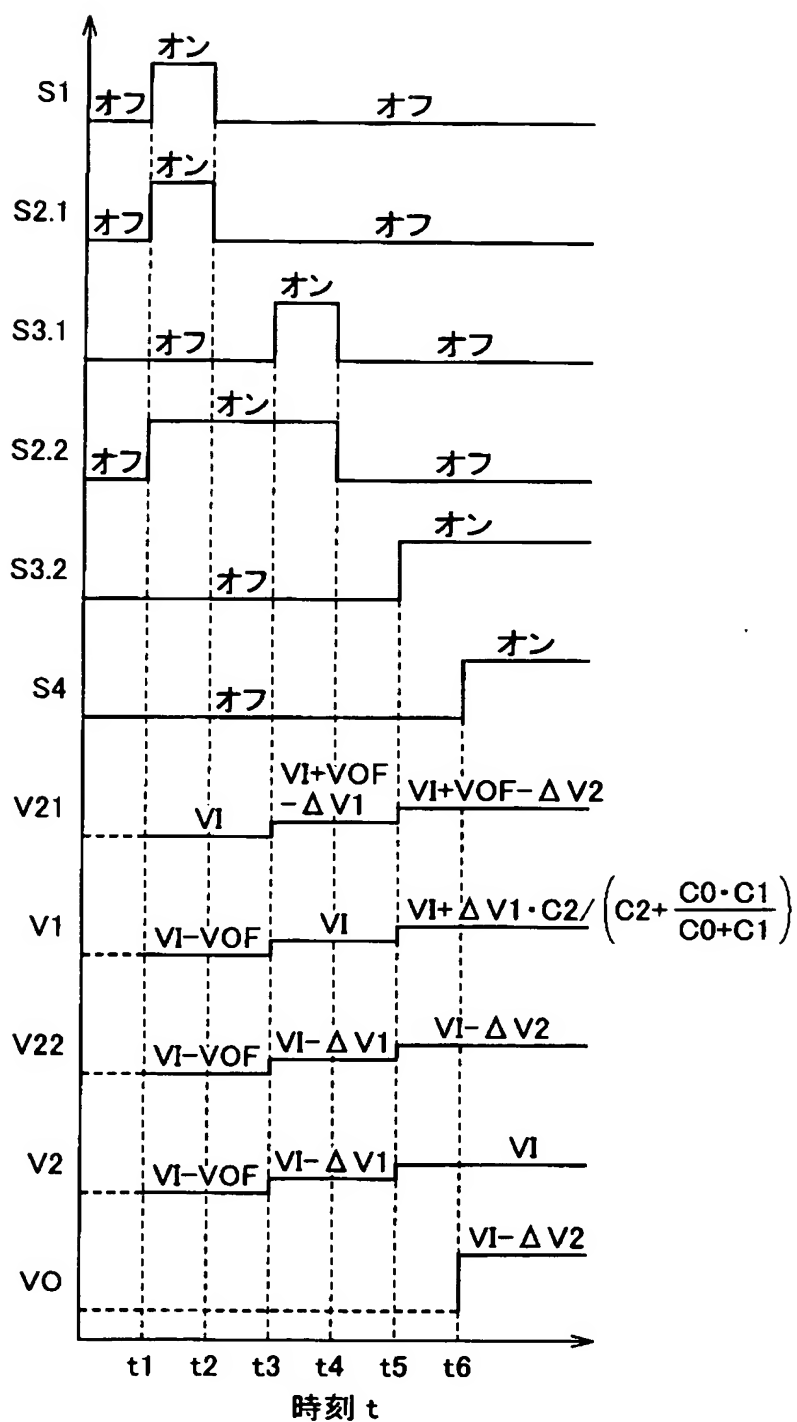


【図 5】

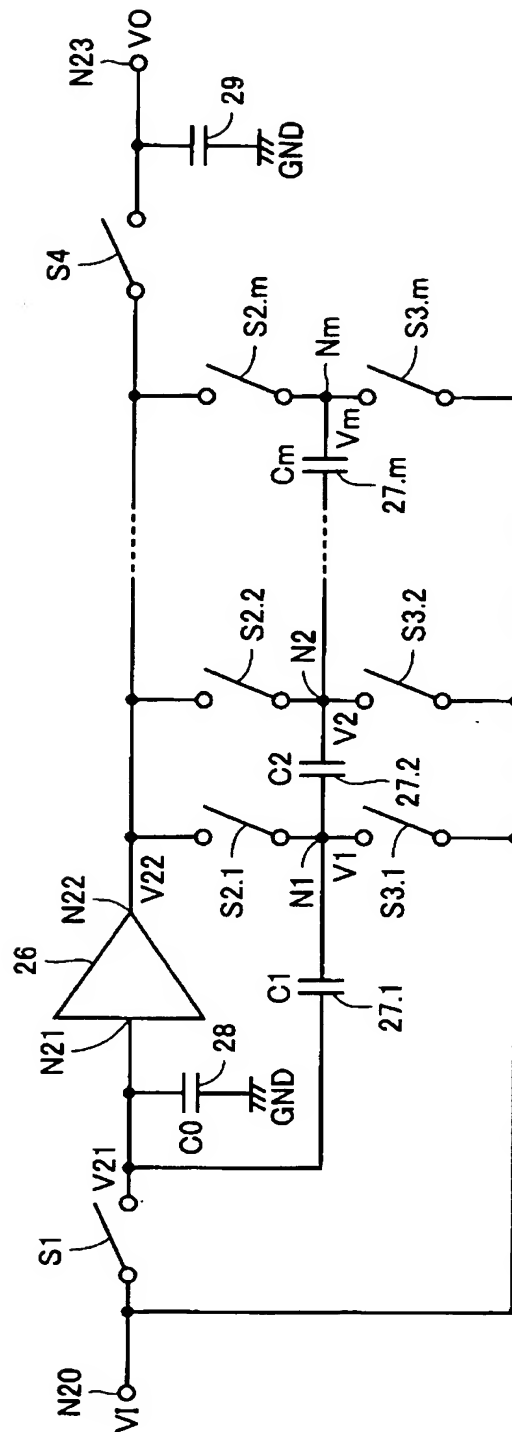
25



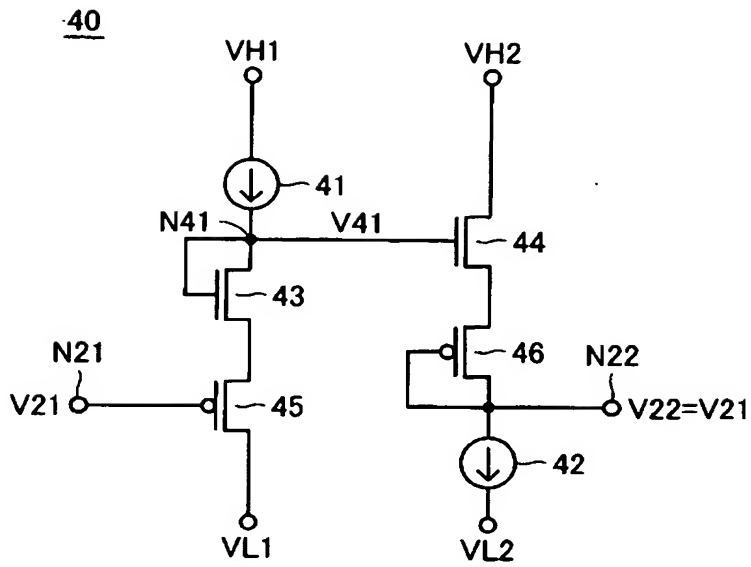
【図 7】



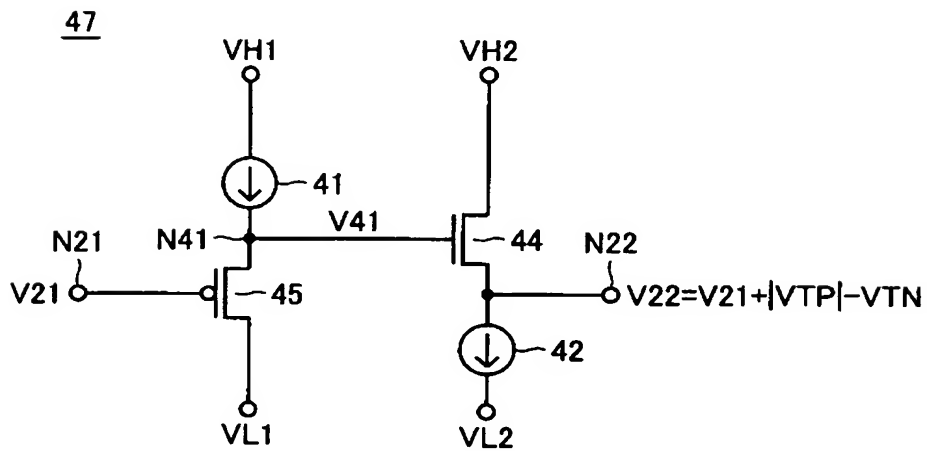
【図 8】



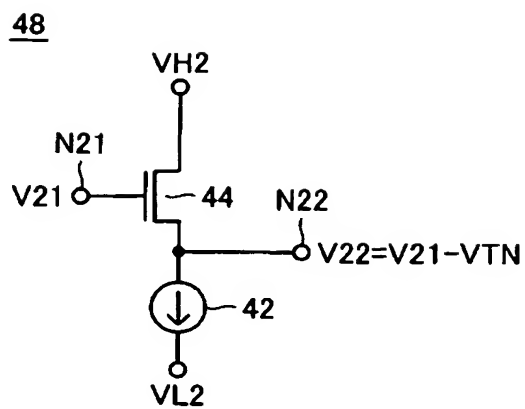
【図 9】



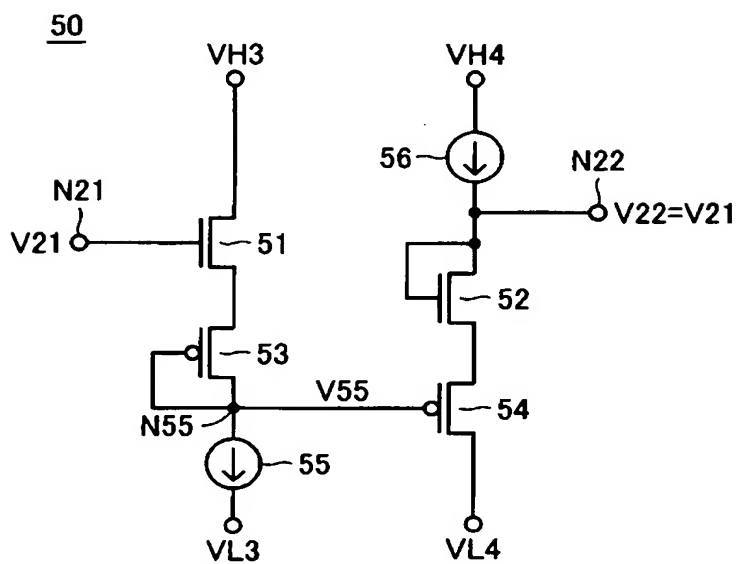
【図 10】



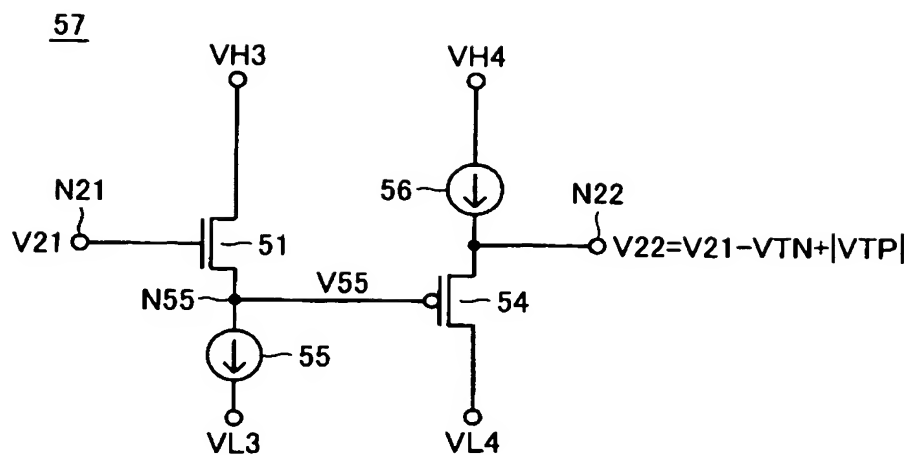
【図 1 1】



【図 1 2】

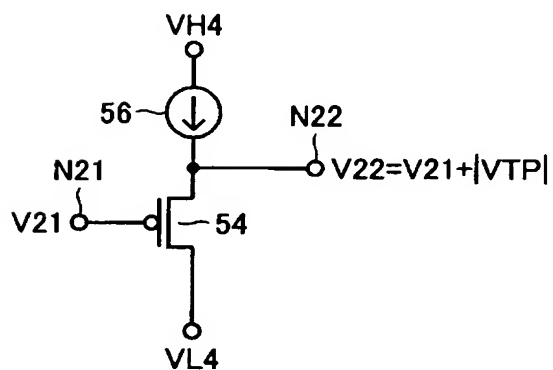


【図 1 3】

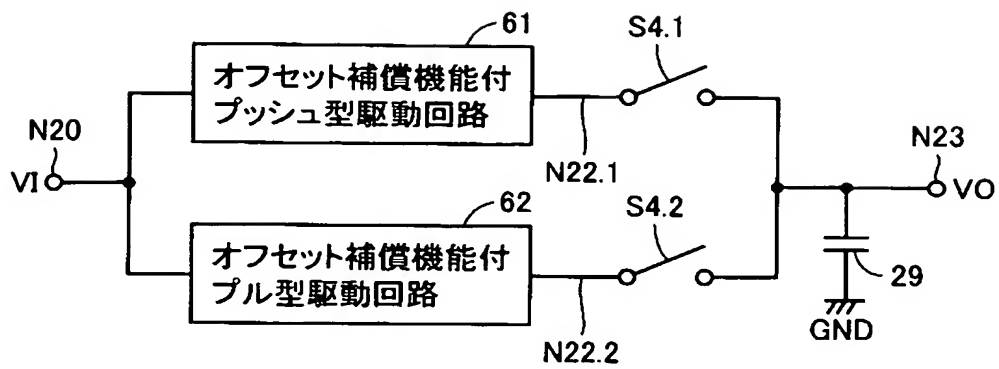


【図 1 4】

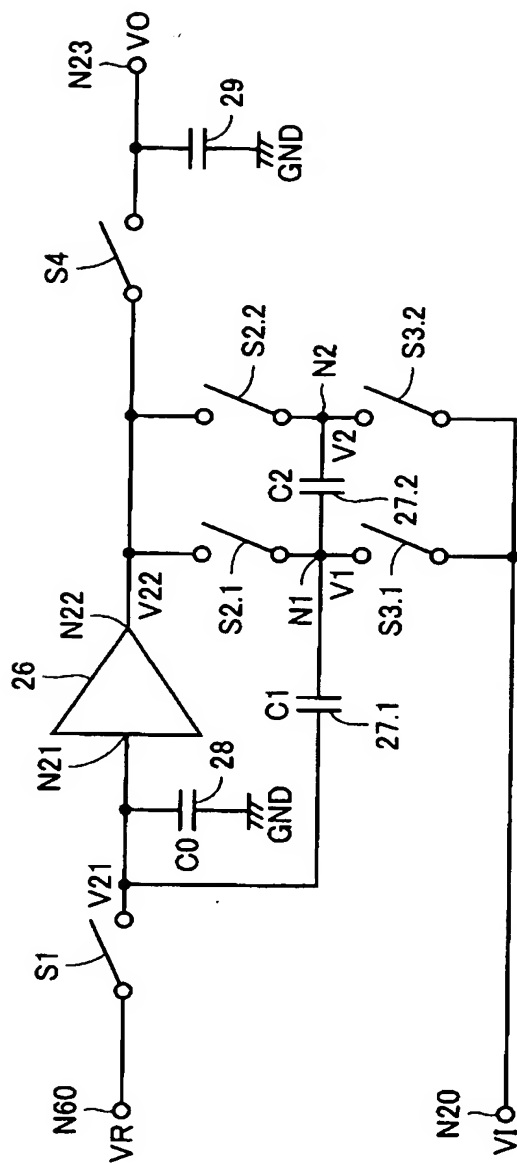
58



【図 15】

60

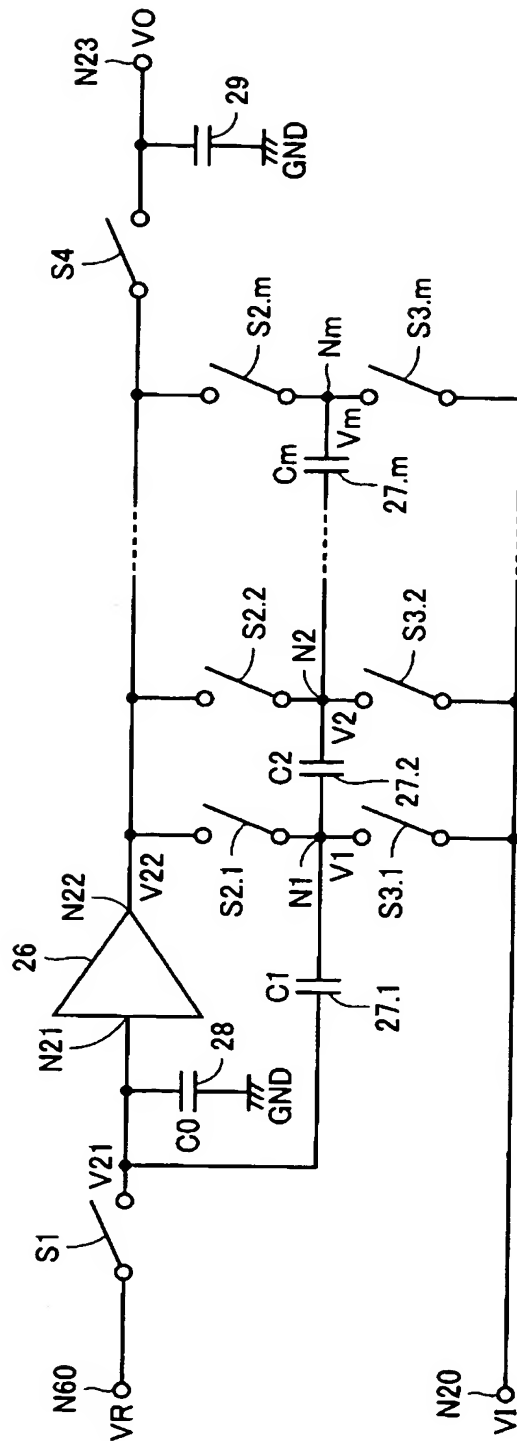
【図 16】



65

【図 17】

66



【書類名】 要約書

【要約】

【課題】 オフセット電圧を正確にキャンセルすることが可能なオフセット補償回路を提供する。

【解決手段】 このオフセット補償機能付駆動回路 25 では、スイッチ S1, S2.1, S2.2 をオンさせてキャパシタ 27.1 を駆動回路 26 のオフセット電圧 VOF に充電させた後、スイッチ S1, S2.1 をオフさせるとともにスイッチ S3.1 をオンさせてキャパシタ 27.2 を駆動回路 26 の入力ノード N21 の寄生容量 C0 による損失電圧 $\Delta V1$ に充電させる。次いでスイッチ S3.1, S2.2 をオフさせるとともにスイッチ S3.2, S4 をオンさせる。このときも寄生容量 C0 による損失電圧 $\Delta V2$ が発生し、出力電圧 VO は $V I - \Delta V2$ となる。C0 = C1 = C2 とすると、 $\Delta V2$ は $\Delta V1$ の $1/6$ になる。したがって、駆動回路 26 の寄生容量 C0 の悪影響を低減化させることができる。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2003-193015
受付番号	50301127311
書類名	特許願
担当官	第七担当上席 0096
作成日	平成 15 年 7 月 10 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目 2 番 3 号
【氏名又は名称】	三菱電機株式会社

【代理人】

申請人	
【識別番号】	100064746
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	深見 久郎

【選任した代理人】

【識別番号】	100098316
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	野田 久登

【選任した代理人】

【識別番号】	100109162
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	酒井 將行

【選任した代理人】

【識別番号】	100085132
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	森田 俊雄

【選任した代理人】

【識別番号】	100083703
【住所又は居所】	大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井 住友銀行南森町ビル 深見特許事務所
【氏名又は名称】	仲村 義平

【選任した代理人】

【識別番号】 100096781

【住所又は居所】 大阪府大阪市北区南森町2丁目1番29号 三井
住友銀行南森町ビル 深見特許事務所

【氏名又は名称】 堀井 豊



特願 2 0 0 3 - 1 9 3 0 1 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社